

Docket No.: 67162-021

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Ryu MAKABE, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 16, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR WAFER, SEMICONDUCTOR CHIP AND DICING METHOD OF A SEMICONDUCTOR WAFER		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

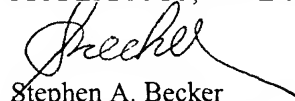
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2002-302993, filed October 17, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 16, 2003

U+16C-U21
MAKABE et al.
September 16, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2002年10月17日

出 願 番 号

Application Number: 特願2002-302993

[ST.10/C]:

[JP 2002-302993]

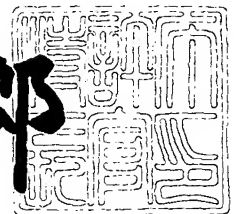
出 願 人

Applicant(s): 三菱電機株式会社

2002年11月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3088645

【書類名】 特許願

【整理番号】 542695JP01

【提出日】 平成14年10月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/301

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 真壁 立

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 九ノ里 勇一

【特許出願人】

 【識別番号】 000006013

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体ウエハ及び半導体チップ並びに半導体ウエハのダイシング方法

【特許請求の範囲】

【請求項 1】 半導体素子が形成された複数のチップ領域と、
各チップ領域の外側に設けられたダイシング領域と、
ダイシング領域に形成された特性評価用素子と、
ダイシング領域に形成され、特性評価用素子と電気接続されたプローブ接触用の測定パッドとを備え、

測定パッドは、ダイシング領域の長手方向と略平行な間隙を介して区分された、2つ以上の露出面を含むことを特徴とする半導体ウエハ。

【請求項 2】 測定パッドは、複数層のメタル配線で形成され、
最上層のメタル配線が前記露出面を構成し、
内部層のメタル配線のうち少なくとも1層は、該露出面と同一形状で区分されていることを特徴とする請求項 1 記載の半導体ウエハ。

【請求項 3】 半導体素子が形成されたチップ領域と、
チップ領域の外側に設けられたダイシング領域と、
ダイシング領域に形成されたメタル配線とを備え、
ダイシング切断面にメタル配線が露出していないことを特徴とする半導体チップ。

【請求項 4】 半導体素子が形成された複数のチップ領域と、
各チップ領域の外側に設けられたダイシング領域と、
ダイシング領域に形成された特性評価用素子と、
ダイシング領域に形成され、特性評価用素子と電気接続されたメタル配線とを備える半導体ウエハのダイシング方法であって、

ブレードをダイシング領域の長手方向に沿って相対移動させて、ダイシング領域の一部を切断する工程を含み、

ダイシング中心線を座標軸 Y とし、ダイシング中心線と直交する方向を座標軸 X として、ブレードの刃厚 D、ブレードと半導体ウエハとの X 方向相対位置決め

誤差 $\pm\sigma$ とし、

ダイシング領域を、領域A ($-D/2 + \sigma < x < D/2 - \sigma$)、領域B1 ($-D/2 - \sigma < x < -D/2 + \sigma$)、領域B2 ($D/2 - \sigma < x < D/2 + \sigma$)、領域C1 ($x < -D/2 - \sigma$)、領域C2 ($D/2 + \sigma < x$) という5つの領域に区分した場合、領域A、C1、C2のいずれかにメタル配線を露出させ、領域B1、B2にはメタル配線を露出しないことを特徴とする半導体ウエハのダイシング方法。

【請求項5】 ダイシング領域には複数層のメタル配線を形成し、
最上層のメタル配線は、領域A、C1、C2のいずれかに配置し、
内部層のメタル配線は、領域B1、B2を横断するように配置することを特徴とする請求項4記載の半導体ウエハのダイシング方法。

【請求項6】 ダイシング領域には複数層のメタル配線を形成し、
ダイシング領域の交差点において、X方向ダイシング領域の領域AおよびY方向ダイシング領域の領域Aの重なり領域で、ブリッジ用のメタル配線を露出させることを特徴とする請求項4記載の半導体ウエハのダイシング方法。

【請求項7】 領域C1、C2で露出したメタル配線の上に、パッシベーション膜を形成することを特徴とする請求項4記載の半導体ウエハのダイシング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイシング領域に特性評価用素子と測定パッドが形成された半導体ウエハおよびこのウエハを切断した半導体チップに関する。また本発明は、こうしたウエハを切断するためのダイシング方法に関する。

【0002】

【従来の技術】

図11は従来のIC製造プロセスの一例を示す説明図であり、図11(a)はダイシング工程を示し、図11(b)はダイシング後の様子を示し、図11(c)はワイヤボンディング工程を示す。ウエハ1は、SiやGaAs等の半導体か

らなる基板 2 と、基板 2 の上に形成された電気絶縁層 3 やメタル配線 4 などによって構成され、一般に、多数の半導体素子が集積されたチップ領域がマトリクス状に配置されている。

【0003】

【発明が解決しようとする課題】

ウエハ 1 から個々のチップを取り出す場合、図 11 (a) に示すように、各チップ領域の間にブレード 9 を通過させて切断する。このときブレード 9 の通過ラインにメタル配線 4 が存在すると、図 11 (b) に示すように、ダイシング応力がメタル配線 4 に印加され、下地層との密着力が弱い場合には、メタル配線 4 が部分的に剥離して、バリ 4 a が発生することがある。

【0004】

その結果、図 11 (c) に示すように、個々のチップをリードフレーム 5 にマウントして、ワイヤ 6 で結線する際に、ワイヤ 6 がバリ 4 a と接触する可能性が高くなり、製品不良の要因となる。

【0005】

本発明の目的は、ダイシング時のバリ発生を防止して、IC 製造の歩留まりを向上できる半導体ウエハ及び半導体チップ並びに半導体ウエハのダイシング方法を提供することである。

【0006】

【課題を解決するための手段】

本発明に係る半導体ウエハは、半導体素子が形成された複数のチップ領域と、各チップ領域の外側に設けられたダイシング領域と、ダイシング領域に形成された特性評価用素子と、ダイシング領域に形成され、特性評価用素子と電気接続されたプローブ接触用の測定パッドとを備え、測定パッドは、ダイシング領域の長手方向と略平行な間隙を介して区分された、2 つ以上の露出面を含むことを特徴とする。

【0007】

本発明に係る半導体チップは、半導体素子が形成されたチップ領域と、

チップ領域の外側に設けられたダイシング領域と、
ダイシング領域に形成されたメタル配線とを備え、
ダイシング切断面にメタル配線が露出していないことを特徴とする。

【0008】

本発明に係る半導体ウエハのダイシング方法は、半導体素子が形成された複数のチップ領域と、

各チップ領域の外側に設けられたダイシング領域と、

ダイシング領域に形成された特性評価用素子と、

ダイシング領域に形成され、特性評価用素子と電気接続されたメタル配線とを備える半導体ウエハのダイシング方法であって、

ブレードをダイシング領域の長手方向に沿って相対移動させて、ダイシング領域の一部を切断する工程を含み、

ダイシング中心線を座標軸Yとし、ダイシング中心線と直交する方向を座標軸Xとして、ブレードの刃厚D、ダイシングブレードと半導体ウエハとのX方向相対位置決め誤差 $\pm\sigma$ とし、

ダイシング領域を、領域A ($-D/2 + \sigma < x < D/2 - \sigma$)、領域B1 ($-D/2 - \sigma < x < -D/2 + \sigma$)、領域B2 ($D/2 - \sigma < x < D/2 + \sigma$)、領域C1 ($x < -D/2 - \sigma$)、領域C2 ($D/2 + \sigma < x$) という5つの領域に区分した場合、領域A、C1、C2のいずれかにメタル配線を露出させ、領域B1、B2にはメタル配線を露出しないことを特徴とする。

【0009】

【発明の実施の形態】

実施の形態1.

図1(a)は本発明に係る半導体ウエハの一例を示す平面図であり、図1(b)はその部分拡大図である。ウエハ10は、SiやGaAs等の半導体からなる基板に、成膜、マスク形成、エッチング、マスク除去、イオン注入等の各種プロセスを繰り返し適用して、FET(電界効果トランジスタ)、バイポーラトランジスタ、抵抗、キャパシタ等の回路要素、これらの回路要素を電気接続する配線、および配線間を絶縁する電気絶縁層などを形成したものである。一枚のウエハ

1 0 には、多数の半導体素子が集積された矩形状のチップ領域 1 1 がマトリクス状に配置されており、各チップ領域 1 1 の外側周辺には切断用のダイシング領域 1 2 が設けられる。

【 0 0 1 0 】

ダイシング領域 1 2 は、スクライプ領域とも称され、I C 設計の対象外領域である。図 1 (b) に示すように、このダイシング領域 1 2 には、一般に、ウエハ 1 0 の各種製造プロセスや特性を評価するための特性評価用素子 2 0 が形成される。特性評価用素子 2 0 は、T E G (test element group) とも称され、チップ領域 1 1 の回路要素と同じプロセスを用いて形成することによって、チップ領域 1 1 の回路要素の特性を間接的に評価することができる。

【 0 0 1 1 】

特性評価用素子 2 0 は、F E T 素子等で形成され、素子の各端子はメタル配線 2 5 を経由して測定パッド 3 0 に電気接続される。なお、図 1 (b) は F E T のソース端子に接続されたメタル配線 2 5 および測定パッド 3 0 のみを例示しているが、ゲート端子およびドレイン端子についても同様なメタル配線 2 5 および測定パッド 3 0 が設けられる。特性評価用素子 2 0 の電気的特性を測定する場合、測定器のプロブを各測定パッド 3 0 に接触させる。メタル配線 2 5 および測定パッド 3 0 は、A l 、C u またはこれらの合金等で形成され、ダイシング領域 1 2 に配置される。

【 0 0 1 2 】

図 2 (a) は測定パッド 3 0 の拡大図であり、図 2 (b) はダイシング領域 1 2 の幅方向に沿った断面図である。測定パッド 3 0 は、単層または複数層のメタル配線で形成可能であり、ここでは 3 層のメタル配線で形成した例を示す。

【 0 0 1 3 】

図 2 (b) に示すように、最上層のメタル配線 3 1 a , 3 1 b , 3 1 c と、中間層のメタル配線 3 2 a , 3 2 b , 3 2 c と、最下層のメタル配線 3 3 とは、電気絶縁層 (不図示) を介して積層され、必要に応じて、上下方向の電気接続を行うスルー導体 3 6 , 3 7 が電気絶縁層を貫通している。

【 0 0 1 4 】

最上層のメタル配線 3 1 a, 3 1 b, 3 1 c は、プローブが接触可能なように露出しており、ダイシング領域 1 2 の長手方向と略平行な間隙 G を介して空間的に分離して配置される。間隙 G の位置および寸法は、ブレードの刃厚および相対位置誤差を考慮して設計され、ダイシング工程においてブレードがダイシング領域 1 2 を通過する場合に、ブレードがメタル配線 3 1 a, 3 1 b, 3 1 c のいずれも横切らないようにする。

【 0 0 1 5 】

こうした間隙 G を介在させてプローブ接触面を複数の露出面に分割することによって、ダイシング時のメタル配線の剥離やバリを防止することができ、I C 製品の歩留まりおよび信頼性が向上する。

【 0 0 1 6 】

ここでは、測定パッド 3 0 のプローブ接触面を 3 つに分割した例を示したが、ダイシング領域 1 2 の範囲内であって間隙 G 以外の場所であれば、2 つまたは 4 つ以上の露出面に分割しても構わない。さらに、測定パッド 3 0 と同様に形成されるメタル配線 2 5 についても、バリ防止の観点から、間隙 G 以外の場所に配置することが好ましい。

【 0 0 1 7 】

また、測定パッド 3 0 を複数層のメタル配線で形成する場合、例えば中間層のメタル配線 3 2 a, 3 2 b, 3 2 c のように、内部層のメタル配線のうち少なくとも 1 層も最上層の露出面と同一形状で分割することが好ましく、これによって内部層のメタル配線についてもダイシング時の剥離やバリを防止することができる。

【 0 0 1 8 】

図 3 は、本発明に係る半導体ウエハのダイシング方法の一例を示す平面図である。ダイシング領域 1 2 は、隣り合うチップ領域 1 1 の間に設けられ、図 2 に示したように、測定パッド 3 0 は、メタル配線 3 1 a, 3 1 b, 3 1 c からなる 3 つのプローブ接触面を有し、これらは間隙 G 以外の場所に配置される。

【 0 0 1 9 】

ブレード 9 は、ダイシング領域 1 2 の長手方向に対して略平行に相対的に移動

する。このときウエハが停止した状態でブレード 9 が直線移動してもよく、あるいはブレード 9 は移動しないでウエハステージが直線移動してもよい。ブレード 9 は、一般に、ダイシング領域 1 2 の幅より小さい刃厚 D を有するものを使用するため、実際にはダイシング領域 1 2 の一部が切断されることになり、ブレード 9 のダイシング中心線から両側に距離 $D/2$ の位置に 2 本の切断ライン CL が形成される。

【 0 0 2 0 】

ここで、ダイシング中心線を座標軸 Y 、ダイシング中心線と直交する方向を座標軸 X として、ブレード 9 の刃厚 D 、ブレード 9 と半導体ウエハ 1 0 との X 方向相対位置決め誤差 $\pm \sigma$ とする。この誤差 $\pm \sigma$ は、ブレード 9 の位置決め誤差とウエハ 1 0 の位置決め誤差の合計であり、ブレード移動機構やウエハステージ移動機構の精度により定められる。

【 0 0 2 1 】

そうするとダイシング領域 1 2 は、下記のように 5 つの領域 A 、 $B 1$ 、 $B 2$ 、 $C 1$ 、 $C 2$ に区分できる。

領域 A $(-D/2 + \sigma < x < D/2 - \sigma)$

領域 $B 1$ $(-D/2 - \sigma < x < -D/2 + \sigma)$

領域 $B 2$ $(D/2 - \sigma < x < D/2 + \sigma)$

領域 $C 1$ $(x < -D/2 - \sigma)$

領域 $C 2$ $(D/2 + \sigma < x)$

【 0 0 2 2 】

図 3 に示すように、領域 A はダイシング中心線を含み、両方の切断ライン CL から距離 σ だけ内側に入ったラインで定義される領域である。この領域 A は、ダイシングによって必ず切除されてしまい、ブレード 9 またはウエハ 1 0 の位置が $-\sigma$ から $+\sigma$ に変位したとしても、切断ライン CL は通過しない。

【 0 0 2 3 】

領域 $B 1$ は、下側の切断ライン CL を中心として $-\sigma$ から $+\sigma$ までの範囲で定義される領域である。領域 $B 2$ は、上側の切断ライン CL を中心として $-\sigma$ から $+\sigma$ までの範囲で定義される領域である。これらの領域 $B 1$ 、 $B 2$ は、ブレード

9 またはウエハ 1 0 の位置が $-\sigma$ から $+\sigma$ に変位すると、切断ライン C L が通過することになる。

【 0 0 2 4 】

領域 C 1 は、下側の切断ライン C L から距離 σ だけ外側に入ったラインで定義される領域である。領域 C 2 は、上側の切断ライン C L から距離 σ だけ外側に入ったラインで定義される領域である。これらの領域 C 1, C 2 は、ブレード 9 またはウエハ 1 0 の位置が $-\sigma$ から $+\sigma$ に変位したとしても、切断ライン C L は通過しない。

【 0 0 2 5 】

従って、領域 A, C 1, C 2 のいずれかにメタル配線 3 1 a, 3 1 b, 3 1 c を露出させ、領域 B 1, B 2 にはメタル配線を露出しないで、プローブ接触面を複数の露出面に分割することによって、ダイシング時のメタル配線の剥離やバリを防止することができ、IC 製品の歩留まりおよび信頼性が向上する。

【 0 0 2 6 】

また、メタル配線 3 1 a, 3 1 b, 3 1 c の間にそれぞれ介在する間隙 G は、領域 B 1 または領域 B 2 と同じか、それより幅広に設定することが好ましい。

【 0 0 2 7 】

こうしてメタル配線 3 1 a, 3 1 b, 3 1 c の位置および形状を工夫した半導体ウエハを縦方向および横方向にブレード 9 で分断すると、矩形状の半導体チップが得られる。この半導体チップは、チップ領域 1 1 の外側にダイシング領域 1 2 の一部およびメタル配線の一部が残存しており、ダイシング切断面にはメタル配線が露出しなくなる。その結果、ダイシングに起因したメタル配線の剥離やバリを防止することができ、IC 製品の歩留まりおよび信頼性が向上する。

【 0 0 2 8 】

実施の形態 2.

図 4 は、測定パッドの他の配置例を示す平面図である。測定パッド 3 0 は、単層または複数層のメタル配線で形成可能であって、左の測定パッド 3 0 はメタル配線 3 1 b, 3 1 c からなる 2 つのプローブ接触面を有し、これらは領域 A, C 1, C 2 のいずれかに配置され、領域 B 1, B 2 にはメタル配線を配置していな

い。

【 0 0 2 9 】

右の測定パッド 3 0 はメタル配線 3 1 a ～ 3 1 f からなる 6 つのプロープ接触面を有し、メタル配線 3 1 a, 3 1 b は領域 C 1 に、メタル配線 3 1 c, 3 1 d は領域 A に、メタル配線 3 1 e, 3 1 f は領域 C 2 にそれぞれ配置され、領域 B 1, B 2 にはメタル配線を配置していない。

【 0 0 3 0 】

これらの測定パッド 3 0 も上述と同様に、ダイシング時のメタル配線の剥離やバリを防止することができる。

【 0 0 3 1 】

実施の形態 3.

図 5 はメタル配線の他の配置例を示す平面図であり、図 5 (a) は好ましい配置、図 5 (b) は不適切な配置を示す。測定パッド 3 0 およびメタル配線 2 5 は、単層または複数層のメタル配線で形成可能であって、F E T 等の特性評価用素子 2 0 に電気接続されている。

【 0 0 3 2 】

メタル配線 3 1 a, 3 1 b, 3 1 c は、プローブが接触可能なように露出しており、領域 A, C 1, C 2 に配置される。メタル配線 2 5 も同様に領域 A, C 1, C 2 のいずれかに配置可能であり、図 5 (a) では領域 A に配置している。また、ダイシング切断面が通過可能な領域 B 1, B 2 には、メタル配線を配置していないため、ダイシングに起因したメタル配線の剥離やバリを防止できる。

【 0 0 3 3 】

一方、図 5 (b) では、メタル配線 2 5 が領域 B 1, B 2 を横断するように配置されている。その結果、ダイシング切断面とメタル配線 2 5 が交差することになり、メタル配線の剥離やバリが発生することがある。

【 0 0 3 4 】

実施の形態 4.

図 6 はメタル配線の他の配置例を示す平面図であり、図 6 (a) は好ましい配置、図 6 (b) は不適切な配置を示す。測定パッド 3 0 およびメタル配線 2 5 は

、 F E T 等の特性評価用素子 2 0 に電気接続されている。

【 0 0 3 5 】

メタル配線 3 1 a, 3 1 b, 3 1 c は、領域 A, C 1, C 2 に配置される。メタル配線 2 5 は領域 C 1 に配置している。また、ダイシング切断面が通過可能な領域 B 1, B 2 には、メタル配線を配置していないため、ダイシングに起因したメタル配線の剥離やバリを防止できる。

【 0 0 3 6 】

一方、図 6 (b) では、メタル配線 2 5 が領域 B 1 および領域 C 1 に配置している。その結果、ダイシング切断面とメタル配線 2 5 が交差することになり、メタル配線の剥離やバリが発生することがある。

【 0 0 3 7 】

実施の形態 5.

図 7 はメタル配線の他の配置例を示す平面図であり、図 7 (a) は好ましい配置、図 7 (b) は不適切な配置を示す。測定パッド 3 0 およびメタル配線 2 5 は、 F E T 等の特性評価用素子 2 0 に電気接続されている。

【 0 0 3 8 】

メタル配線 3 1 a, 3 1 b, 3 1 c は、領域 A, C 1, C 2 に配置される。メタル配線 2 5 は領域 A に配置している。また、ダイシング切断面が通過可能な領域 B 1, B 2 には、メタル配線を配置していないため、ダイシングに起因したメタル配線の剥離やバリを防止できる。

【 0 0 3 9 】

一方、図 7 (b) では、メタル配線 2 5 が領域 A, B 1, B 2 に配置している。その結果、ダイシング切断面とメタル配線 2 5 が交差することになり、メタル配線の剥離やバリが発生することがある。

【 0 0 4 0 】

実施の形態 6.

図 8 (a) (b) は、メタル配線の他の配置例を示す平面図である。測定パッド 3 0 およびメタル配線 2 5, 2 6 は、単層または複数層のメタル配線で形成可能であって、 F E T 等の特性評価用素子 2 0 に電気接続されている。

【 0 0 4 1 】

メタル配線 3 1 a, 3 1 b, 3 1 c は、領域 A, C 1, C 2 に配置される。2 つのメタル配線 2 5 は領域 C 1 に配置され、これらを電気接続する内部層のメタル配線 2 6 は、図 8 (a) では領域 C 1, B 1, A, B 1, C 1 の順で通過しており、図 8 (b) では領域 C 1, B 1, A の順で通過している。

【 0 0 4 2 】

こうした構成によって、ダイシングによってメタル配線 2 6 は必ず切断されるため、測定パッド 3 0 が特性評価用素子 2 0 から電氣的に浮いた状態になり、万一、ボンディングワイヤが測定パッド 3 0 に接触しても短絡を防止できる。

【 0 0 4 3 】

実施の形態 7.

図 9 (a) はメタル配線の他の配置例を示す平面図であり、図 9 (b) (c) はその断面図である。ダイシング領域 1 2 の交差点において、X 方向ダイシング領域に関する領域 A, B 1, B 2, C 1, C 2 と、Y 方向ダイシング領域に関する領域 A, B 1, B 2, C 1, C 2 とが交差し、特に領域 A の重複領域はダイシングによって必ず切除されることになる。

【 0 0 4 4 】

図 9 (b) では、この交差点においてブリッジ用のメタル配線 2 5 を最上層に配置し、内部層のメタル配線 2 6 とスルー導体で電気接続して、別の内部層のメタル配線 2 7 を迂回している。

【 0 0 4 5 】

図 9 (c) では、この交差点においてブリッジ用の配線 2 8 を最下層に配置するとともに、ブリッジ用のメタル配線 2 5 を最上層に配置し、さらに内部層のメタル配線 2 6 とスルー導体でそれぞれ電気接続して、別の内部層のメタル配線 2 7 を迂回している。配線 2 8 を非メタル配線、例えばポリシリコン等の高抵抗材料で形成した場合、最上層のメタル配線 2 5 を並列接続することによって、ブリッジ部分の電気抵抗を低減することができる。

【 0 0 4 6 】

こうした構成によって、ダイシングによって最上層のメタル配線 2 5 は必ず切

断されるため、メタル配線 2 6 とメタル配線 2 6 との電気接続を確実に遮断することができる。

【 0 0 4 7 】

実施の形態 8.

図 1 0 は、測定パッドの他の配置例を示す平面図である。測定パッド 3 0 は、単層または複数層のメタル配線で形成可能であって、メタル配線 3 1 a, 3 1 b, 3 1 c からなる 3 つのプロープ接触面を有し、これらは領域 A, C 1, C 2 のいずれかに配置され、領域 B 1, B 2 にはメタル配線を配置していない。

【 0 0 4 8 】

また、ICチップを保護するため、チップ領域 1 1 の上には電気絶縁材料からなるパッシベーション膜 4 0 が一般に形成される。ここでは、パッシベーション膜 4 0 が、領域 C 1, C 2 で露出したメタル配線 3 1 a, 3 1 c の一部を覆っている。

【 0 0 4 9 】

こうしたパッシベーション膜 4 0 によって、ボンディングワイヤがメタル配線 3 1 a, 3 1 c と接触する可能性が少なくなり、短絡不良を防止できる。一方、メタル配線 3 1 a, 3 1 c はプロープ接触面として機能するため、露出面積が多い方が好ましい。従って、パッシベーション膜 4 0 のエッジ位置は、ワイヤ短絡と露出面積との両方を考慮して決定される。また、測定パッド 3 0 のブレードと交差するエッジはダイシング時の応力が集中することから、パッシベーション膜 4 0 で覆わないことが好ましい。

【 0 0 5 0 】

【発明の効果】

以上詳説したように、ウエハのダイシング領域に特性評価用素子および測定パッドを形成する場合、測定パッドを 2 つ以上の露出面に区分して、ダイシング領域の長手方向と略平行な間隙を介在させることによって、ブレードがメタル配線を横切らないように設定可能になる。その結果、ダイシング時のメタル配線の剥離やバリを防止することができ、IC製品の歩留まりおよび信頼性が向上する。

【図面の簡単な説明】

【図 1】 図 1 (a) は本発明に係る半導体ウエハの一例を示す平面図であり、図 1 (b) はその部分拡大図である。

【図 2】 図 2 (a) は測定パッド 3 0 の拡大図であり、図 2 (b) はダイシング領域 1 2 の幅方向に沿った断面図である。

【図 3】 本発明に係る半導体ウエハのダイシング方法の一例を示す平面図である。

【図 4】 測定パッドの他の配置例を示す平面図である。

【図 5】 メタル配線の他の配置例を示す平面図であり、図 5 (a) は好ましい配置、図 5 (b) は不適切な配置を示す。

【図 6】 メタル配線の他の配置例を示す平面図であり、図 6 (a) は好ましい配置、図 6 (b) は不適切な配置を示す。

【図 7】 メタル配線の他の配置例を示す平面図であり、図 7 (a) は好ましい配置、図 7 (b) は不適切な配置を示す。

【図 8】 図 8 (a) (b) は、メタル配線の他の配置例を示す平面図である。

【図 9】 図 9 (a) はメタル配線の他の配置例を示す平面図であり、図 9 (b) (c) はその断面図である。

【図 1 0】 測定パッドの他の配置例を示す平面図である。

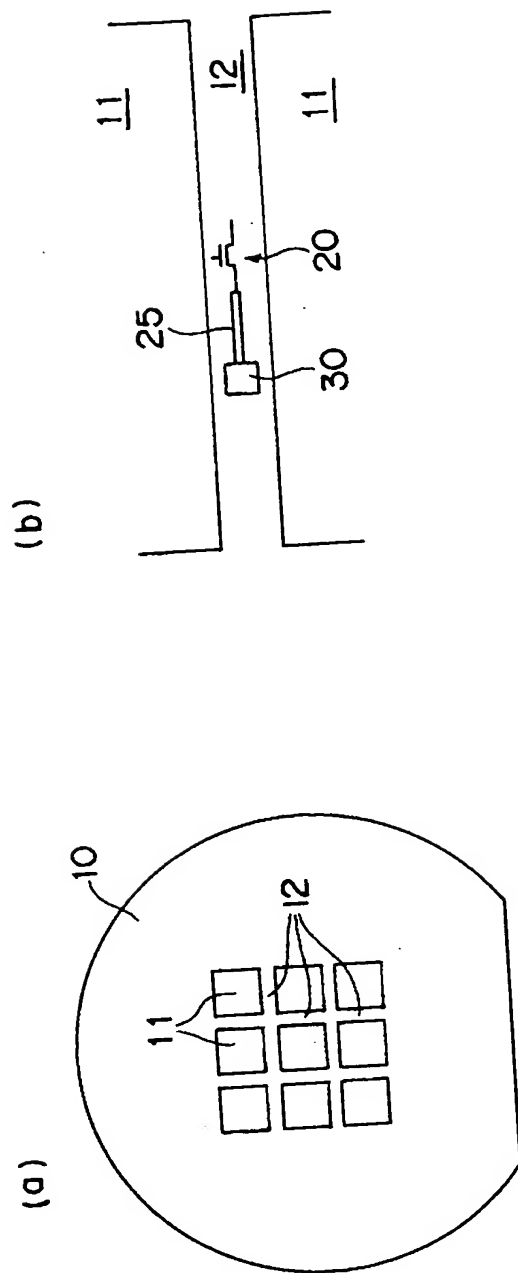
【図 1 1】 従来の I C 製造プロセスの一例を示す説明図であり、図 1 1 (a) はダイシング工程を示し、図 1 1 (b) はダイシング後の様子を示し、図 1 1 (c) はワイヤボンディング工程を示す。

【符号の説明】

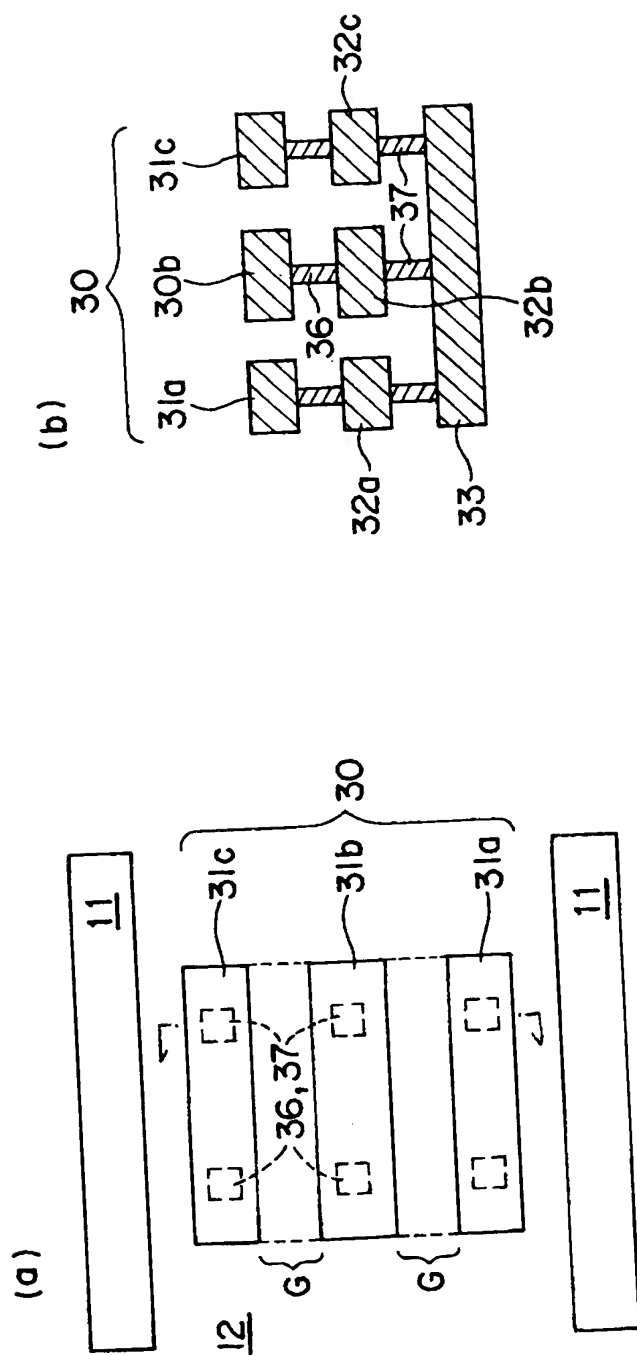
9 ブレード、 1 0 ウエハ、 1 1 チップ領域、 1 2 ダイシング領域、 2 0 特性評価用素子、 2 5, 2 6, 2 7, 3 1 a, 3 1 b, 3 1 c, 3 2 a, 3 2 b, 3 2 c, 3 3 メタル配線、 2 8 配線、 3 0 測定パッド、 3 6, 3 7 スルー導体、 4 0 パッシベーション膜。

【書類名】 図面

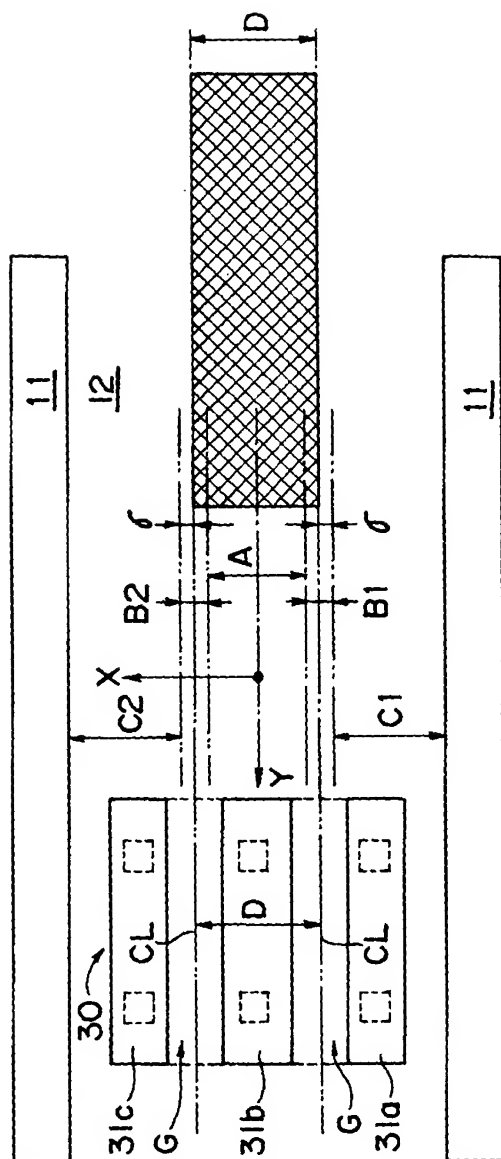
【図 1】



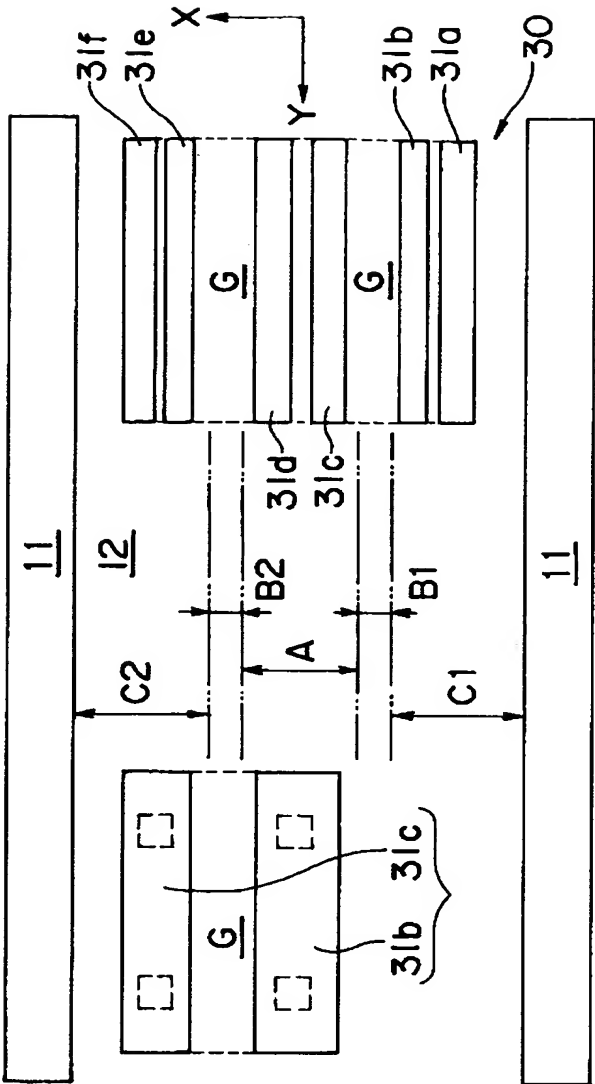
【図 2】



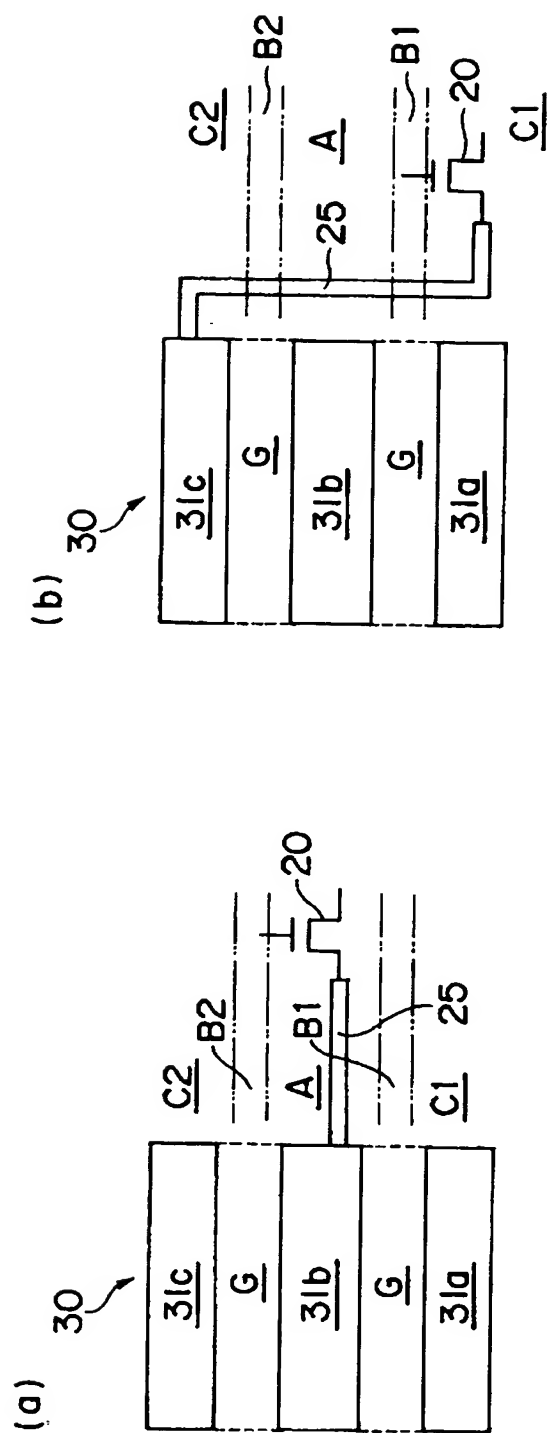
【図3】



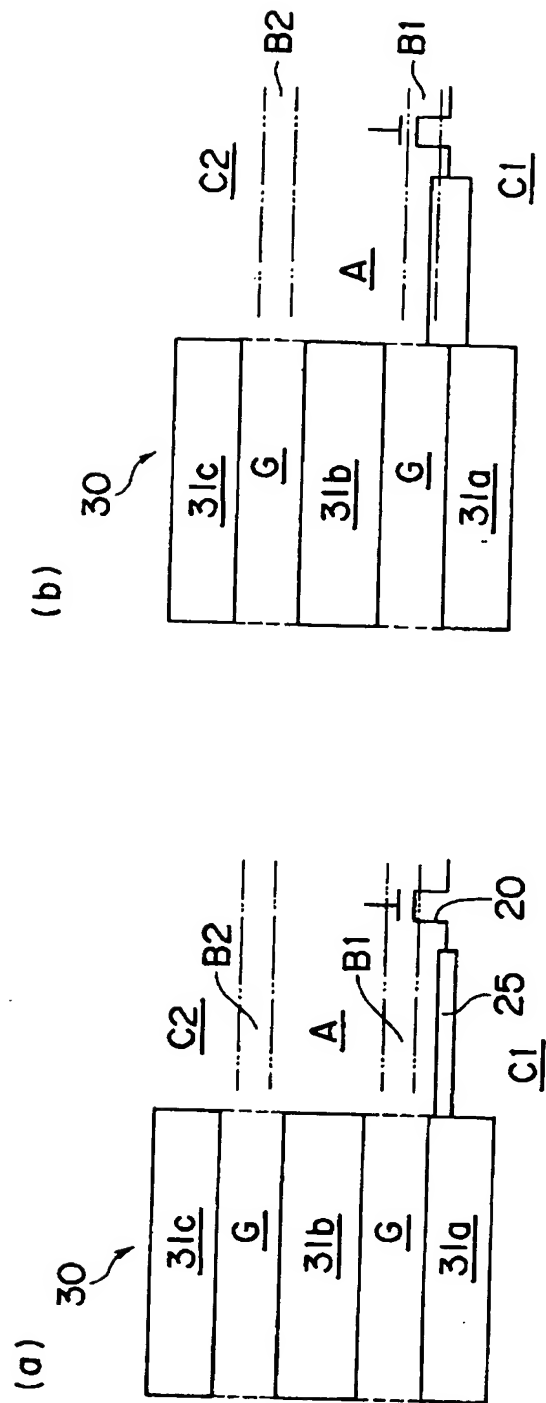
【 図 4 】



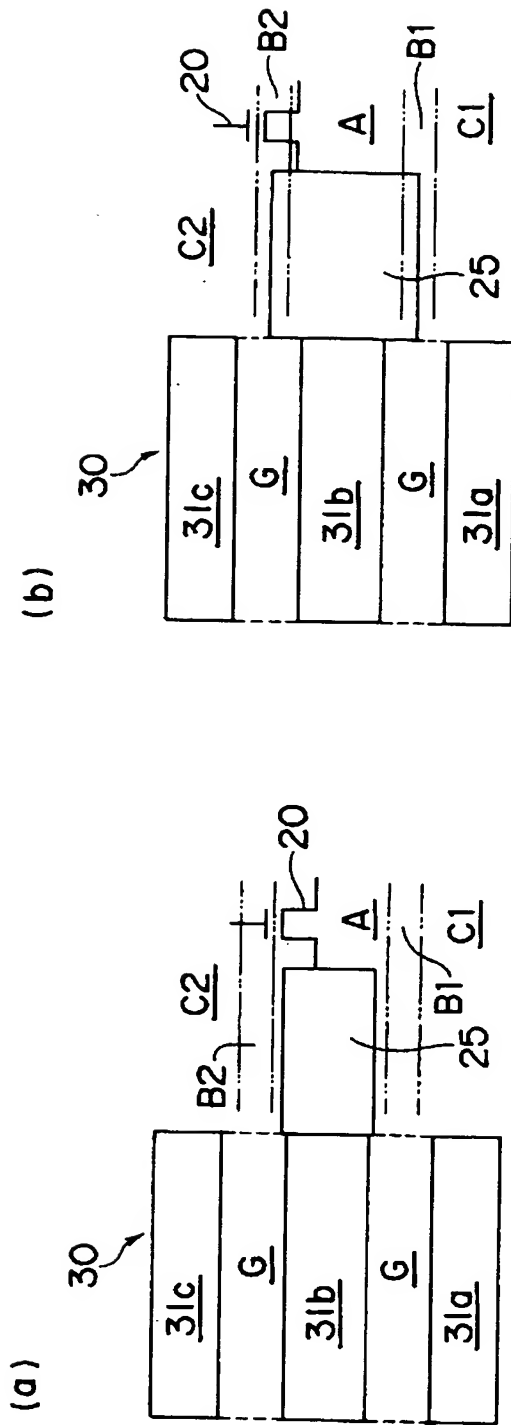
【図 5】



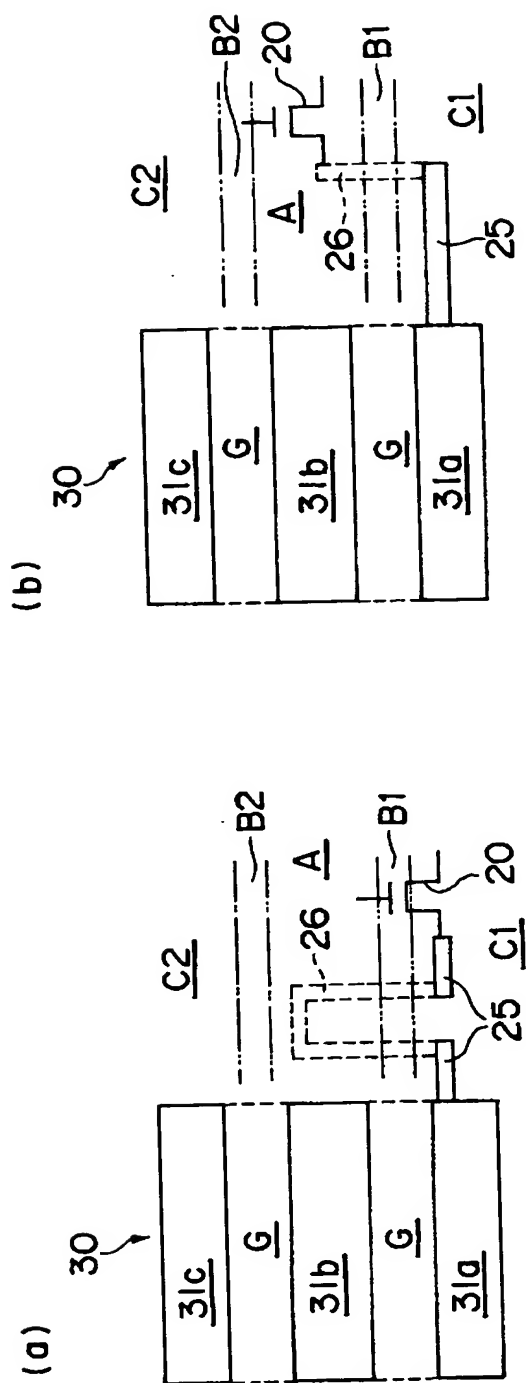
【図 6】



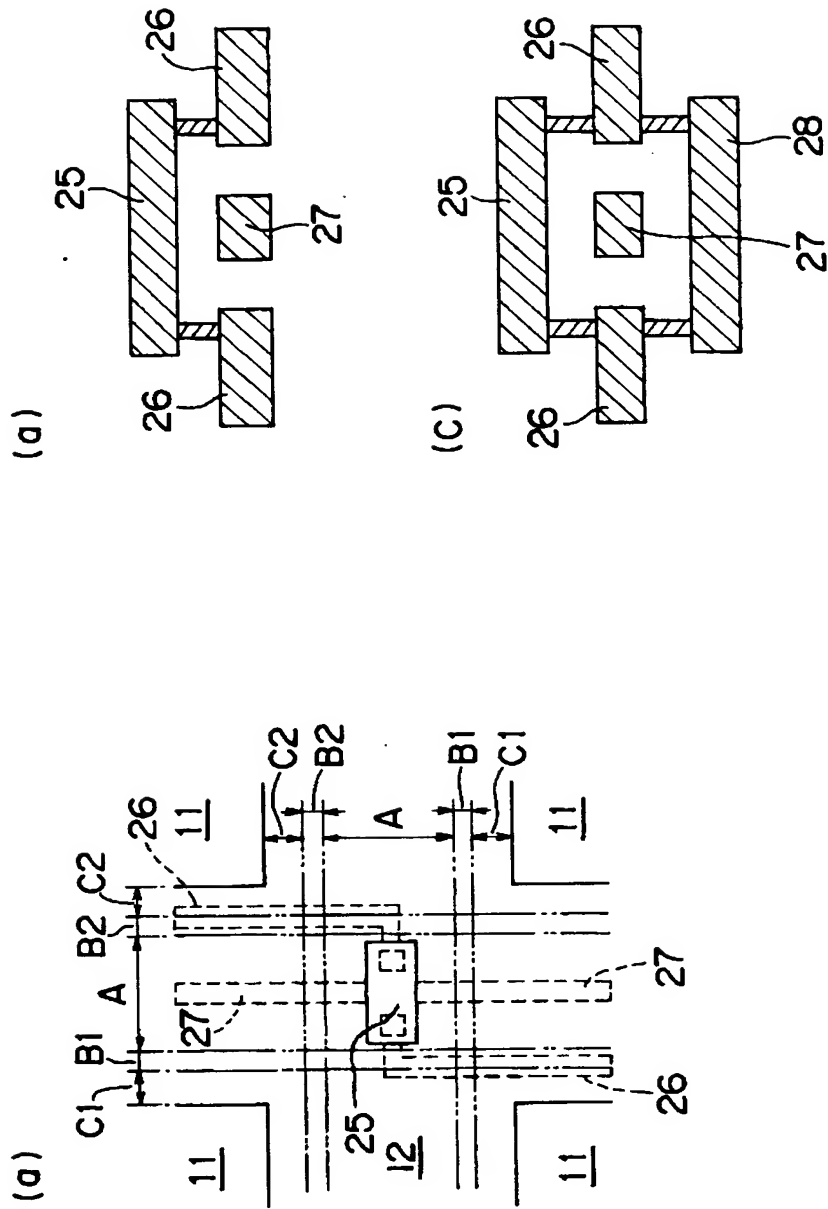
【図 7】



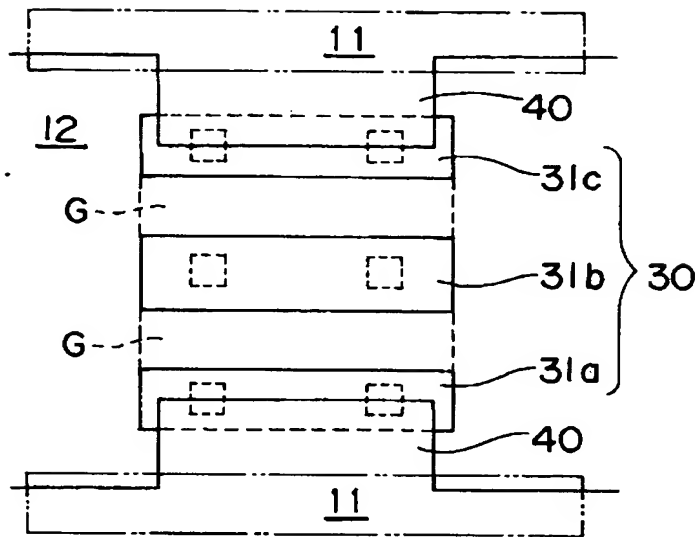
【图 8】



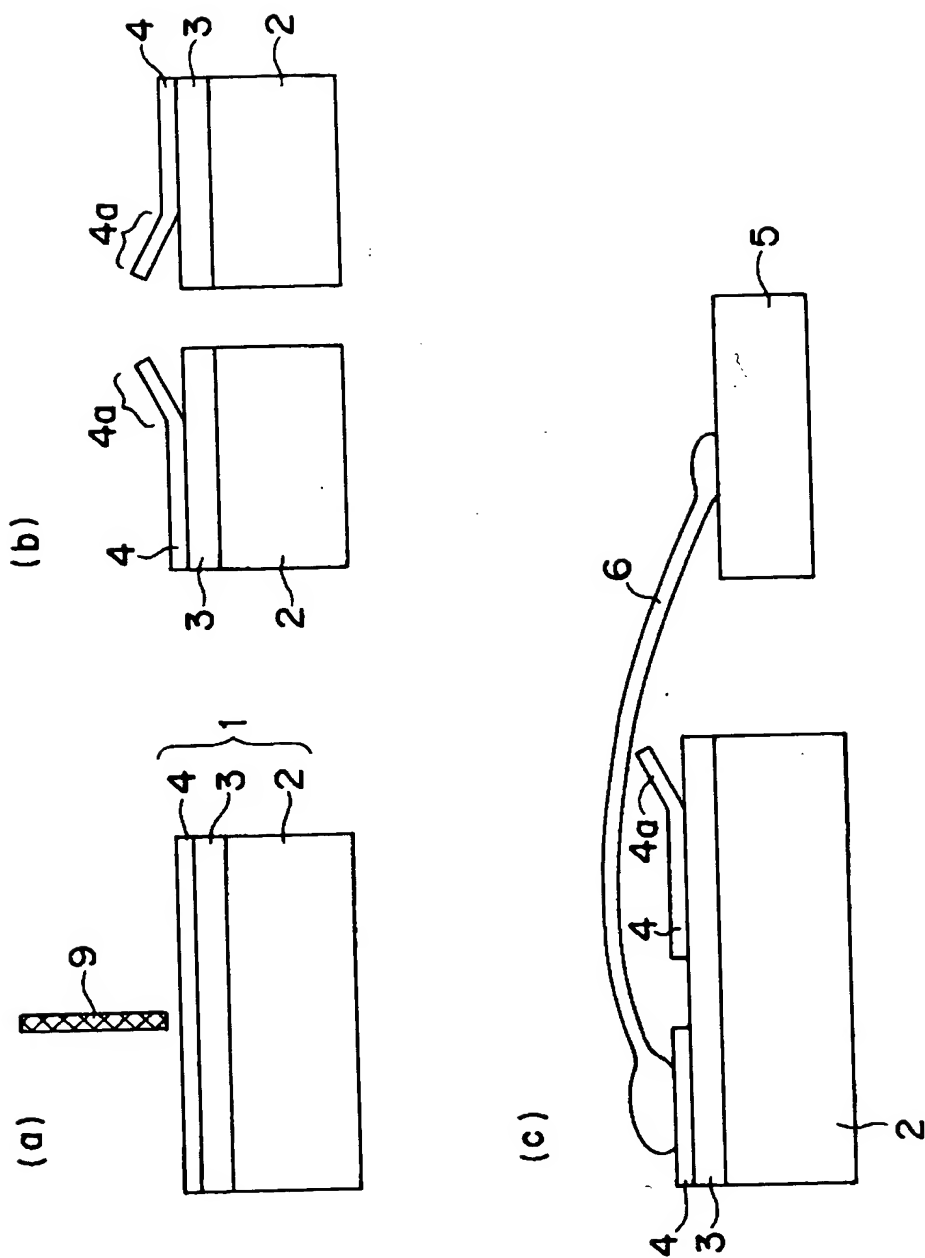
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 ダイシング時のバリ発生を防止して、I C製造の歩留まりを向上できる半導体ウエハ及び半導体チップ並びに半導体ウエハのダイシング方法を提供する。

【解決手段】 最上層のメタル配線3 1 a, 3 1 b, 3 1 cは、プローブが接触可能なように露出しており、ダイシング領域1 2の長手方向と略平行な間隙Gを介して空間的に分離して配置される。間隙Gの位置および寸法は、ブレードの刃厚および相対位置誤差を考慮して設計され、ブレードがダイシング領域1 2を通過する場合に、ブレードがメタル配線3 1 a, 3 1 b, 3 1 cのいずれも横切らないようにする。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社